

0418078-SNY ①

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-092392
(43)Date of publication of application : 31.03.2000

(51)Int.Cl. H04N 5/335

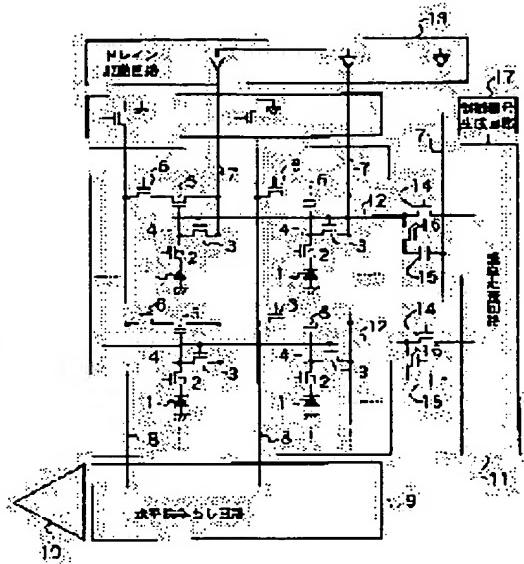
(21)Application number : 10-257036 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 10.09.1998 (72)Inventor : MABUCHI KEIJI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To expand operation margin and to reduce power supply voltage by having a transistor that disconnects an unselected row reset control line from a vertical scan circuit at the time of resetting a cell of a selected row and coupling capacity which sets a reset control line of an unselected row to electric potential that is lower than the potential of a drain line.

SOLUTION: An isolation transistor 16 is made conductive, a terminal electrode side connected to a reset control line 12 of a coupling capacity 15 is charged to 0 V that is the same as the reset control line 12, an unselected row is made conductive, and the reset control line 12 of the unselected row is disconnected from a vertical scan circuit 11 and is subjected to capacitive coupling to a drain line 7 by the coupling capacity 15. Next, after performing an injection/discharge operation, the drain line 7 is made a high level, a reset transistor 3 is made nonconductive, a connection control transistor is made conductive, the unselected row is made conductive again, the capacitive coupling is released and the injection/discharge operation is finished.



LEGAL STATUS

[Date of request for examination] 06.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3571226

[Date of registration] 02.07.2004

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-92392

(P2000-92392A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl.'

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

テーマコード*(参考)

E 5 C 0 2 4

審査請求 未請求 請求項の数2 O L (全5頁)

(21)出願番号 特願平10-257036

(71)出願人 000003078

(22)出願日 平成10年9月10日(1998.9.10)

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 馬渕 圭司

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74)代理人 100083806

弁理士 三好 秀和 (外3名)

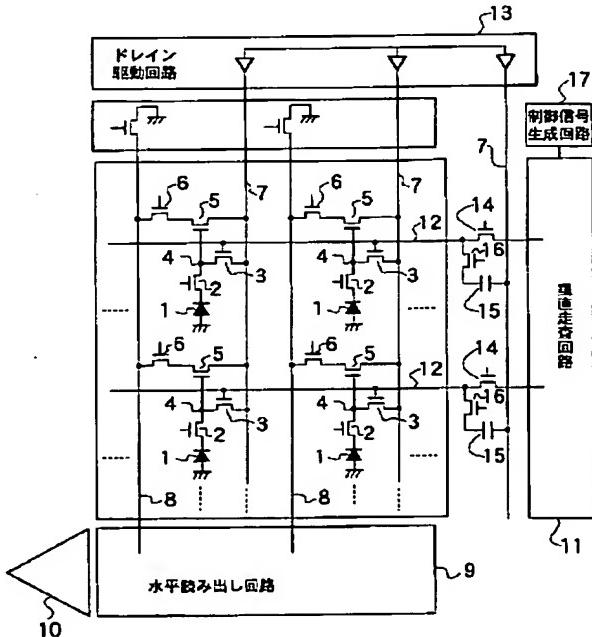
Fターム(参考) 50024 AA01 CA00 CA08 FA01 FA11
GA01 GA31

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 この発明は、昇圧回路を使用することなくリセット時の検出ノードの電位を高め、動作マージンを広げて電源電圧の低電圧化を達成し得ることを課題とする。

【解決手段】 この発明は、選択行のセルのリセット時に非選択行のリセット制御線12をカップリング容量15によりドレイン線7の電位よりも低い電位に設定するよう構成される。



【特許請求の範囲】

【請求項1】 光電変換によりフォトダイオードで得られた信号電荷を検出する検出ノードの電位変化に応じて感知した光を電気信号として読み出すセルが行列状に配置され、前記検出ノードは、リセット時にリセットトランジスタを介してリセット電圧を供給するドレイン線に接続され、同一行の前記リセットトランジスタのゲート端子は共通のリセット制御線に接続されてなる固体撮像装置において、

前記リセットトランジスタを導通制御する垂直走査回路と前記リセット制御線を接続制御し、選択行のセルのリセット時に前記垂直走査回路から非選択行の前記リセット制御線を切り離すトランジスタと、

前記リセット制御線と前記ドレイン線との間に接続され、選択行の前記セルのリセット時に非選択行の前記リセット制御線を前記ドレイン線の電位よりも低い電位に設定するカップリング容量とを有することを特徴とする固体撮像装置。

【請求項2】 前記カップリング容量と前記リセット制御線との間に分離トランジスタを挿入し、前記垂直走査回路による選択行の前記リセットトランジスタの駆動時に前記分離トランジスタにより選択行の前記リセット制御線と前記カップリング容量を分離してなることを特徴とする請求項1記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、ソースフォロワ形式で信号を読み出すセルのリセット動作となる注入排出動作を改善した固体撮像装置に関する。

【0002】

【従来の技術】 図3に増幅MOS型のセルを備えた固体撮像装置の構成を示す。図3において、固体撮像装置は、入射光の光電変化を行うセルが行列状に配置され、フォトダイオード1、Nチャネルの転送トランジスタ2、Nチャネルのリセットトランジスタ3、検出ノード4、Nチャネルの増幅トランジスタ5、Nチャネルの選択トランジスタ6を備えてなるセルは、入射光量に応じてフォトダイオード1に蓄積された信号電子を転送トランジスタ2を介して検出ノード4に読み出し、ゲート端子が検出ノード3に接続された増幅トランジスタ5ならびに選択トランジスタ6を介して列方向のセルに共通したドレイン線7と垂直信号線8を導通制御することにより検出ノード4の電位変化を垂直信号線8に読み出し、それぞれのセルから垂直信号線8に読み出された信号は、水平読み出し回路9及び出力アンプ10を介して外部に読み出される。

【0003】 このような構成において、フォトダイオード1に蓄積された信号電子が読み出された後でも、フォトダイオード1にはまだ少量の信号電子が残存している。このような状態では、次の信号読み出しの際にこの

フォトダイオード1に光が入射しなくとも残存していた信号電子が読み出されてしまう。特に、強い光が入射したセル、すなわち蓄積された信号電子の多いフォトダイオード1ほど残存信号電子数が多くなり、撮像結果を画面に表示した時に、明るい箇所の光が消えてからも残存信号電子によりうっすらと明るく見え、残像現象が生じることになる。

【0004】 このような残像現象を防止するために、注入排出と呼ばれるリセット動作が行われている。これは、フォトダイオード1から信号電子を読み出した後多量の電子を一旦フォトダイオード1に注入し、その後フォトダイオード1から電子を排出する方法である。このような注入排出動作を行うことにより残像現象が防止される理由は、フォトダイオード1の前回の信号電子の読み出しにおける信号量の情報が注入排出によって消去されるためである。すなわち、全てのフォトダイオード1の読み出し毎に注入排出動作を行うことによって、全てのフォトダイオード1が毎回同じ残存信号電子にリセットされるので、フォトダイオード1から読み出された信号から残存信号電子数に対応する一定の信号を差し引くことにより残存信号電子の影響のない鮮明な画像を得ることができる。

【0005】 次に、図3に示す構成において、上記残像現象を回避する注入排出の具体的な動作を、図4に示す動作タイミングを参照して説明する。

【0006】 まず、選択行のフォトダイオード1から信号電子を読み出した後、図4に示すように、転送トランジスタ2に転送信号を与えて転送トランジスタ2を導通状態とし、リセットトランジスタ3に垂直走査回路11からリセット制御線12を介してリセット信号を与えてリセットトランジスタ3を導通状態とし、ドレイン駆動回路13によりドレイン線7をハイレベルからロウレベルに駆動する。これにより、選択行のフォトダイオード1にロウレベルまで多量の電子が注入される。次に、ドレイン線7をロウレベルからハイレベルに駆動する。これにより、選択行のフォトダイオード1に注入された電子がドレイン線7に排出される。これらの動作はフォトダイオード1から信号電子を読み出す毎に行われる。一方、非選択行のフォトダイオード1では、そのセルの転送トランジスタ2ならびにリセットトランジスタ3を非導通状態にして、信号電子が読み出される前の非選択行のフォトダイオード1において、注入排出動作による電子が注入されないようにしなければならない。

【0007】 このような注入排出動作において、ドレイン線7をロウレベルにした時に非選択のセルのリセットトランジスタ3が完全に非導通状態となるためには、リセットトランジスタ3のしきい値を高く設定しておく必要がある。しかしながら、リセットトランジスタ3のしきい値を高くした場合に、注入排出動作においてフォトダイオード1に注入された電子をドレイン線7に排出し

た後の検出ノード4の電位が低くなってしまう。検出ノード4の電位が低いと、セルから信号を読み出すための電圧マージンが小さくなる。これにより、電源電圧の低い、例えば3.3V程度あるいはそれ以下の増幅MOS型の固体撮像装置を作成することが困難になっていた。

【0008】このような不具合を回避する1つの対策として、リセットトランジスタ3のゲート端子にドレイン線7にハイレベルとして与えられる高位電源電圧よりも高い電位を与える方法がある。このためには、高位電源電圧よりも高い電位を生成するための昇圧回路が必要になる。しかしながら、このような昇圧回路を用いると、チップ面積が増大する、動作が複雑になる、消費電力が増える、昇圧電位を受けるリセットトランジスタでは高耐圧のゲート酸化膜が必要になる。

【0009】

【発明が解決しようとする課題】以上説明したように、従来の増幅MOS型の固体撮像装置において、残像現象を回避するために必要不可欠な注入排出動作を行う際に非選択行のセルで注入排出の影響を受けないようにするために、検出ノードの電位が低くなっていた。このため、動作マージンが狭くなり、電源電圧の低電圧化が困難になっていた。

【0010】このような不具合を解決するために昇圧回路を用いる方法があるが、このような方法にあっては、構成の大型化や消費電力の増大といった不具合を招いていた。

【0011】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、昇圧回路を使用することなくリセット時の検出ノードの電位を高め、動作マージンを広げて電源電圧の低電圧化を達成し得る固体撮像装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するためには、請求項1記載の発明は、光電変換によりフォトダイオードで得られた信号電荷を検出する検出ノードの電位変化に応じて感知した光を電気信号として読み出すセルが行列状に配置され、前記検出ノードは、リセット時にリセットトランジスタを介してリセット電圧を供給するドレイン線に接続され、同一行の前記リセットトランジスタのゲート端子は共通のリセット制御線に接続されてなる固体撮像装置において、前記リセットトランジスタを導通制御する垂直走査回路と前記リセット制御線を接続制御し、選択行のセルのリセット時に前記垂直走査回路から非選択行の前記リセット制御線を切り離すトランジスタと、前記リセット制御線と前記ドレイン線との間に接続され、選択行の前記セルのリセット時に非選択行の前記リセット制御線を前記ドレイン線の電位よりも低い電位に設定するカップリング容量とを有することを特徴とする。

【0013】請求項2記載の発明は、請求項1記載の固

体撮像装置において、前記カップリング容量と前記リセット制御線との間に分離トランジスタを挿入し、前記垂直走査回路による選択行の前記リセットトランジスタの駆動時に前記分離トランジスタにより選択行の前記リセット制御線と前記カップリング容量を分離してなることを特徴とする。

【0014】

【発明の実施の形態】以下、図面を用いてこの発明の実施形態を説明する。

【0015】図1は請求項1記載の発明の一実施形態に係る固体撮像装置の構成を示す図、図2は図1に示す装置における注入排出動作のタイミング図である。

【0016】図1において、この実施形態の特徴とするところは、図3に示す従来構成に比べて、リセットトランジスタ3を導通制御する垂直走査回路11とリセット制御線12を接続制御し、選択行のセルのリセット時に垂直走査回路11から非選択行のリセット制御線12を切り離すNチャネルの接続制御トランジスタ14と、リセット制御線12とドレイン線7との間に接続され、選択行のセルの注入排出動作時に非選択行のリセット制御線12をドレイン線7の電位よりも低い電位に設定するカップリング容量15、ならびに垂直走査回路11が選択行のリセット制御線12をハイレベルに駆動する際にカップリング容量15をリセット制御線12から切り離すNチャネルの分離トランジスタ16と、それぞれのトランジスタ14、16の導通制御信号を生成する制御信号生成回路17を加えて構成したことにより、他の構成は図3に示す構成と同様であり、同符号は同一機能を有するものである。

【0017】次に、上記構成において、注入排出動作を図2の動作タイミングチャートを参照して説明する。

【0018】以下の説明において、この実施形態では、基準電位をロウレベルの0Vとし、高位電源電位をハイレベルの2.5Vとし、リセットトランジスタ3のしきい値を0.0V、転送トランジスタのしきい値を0.8V、増幅トランジスタ5のしきい値を0.0V、選択トランジスタ6のしきい値を0.5Vとし、カップリング容量15の容量値を0.1pFに設定し、リセット制御線12の容量を0.4pF程度とする。

【0019】注入排出動作が行われる前には、ドレイン線7はハイレベルの電源電位となり、選択行ならびに非選択行のセルのリセットトランジスタ3、転送トランジスタ2、及び分離トランジスタ16は非導通状態となり、接続制御トランジスタ14は導通状態となっている。

【0020】このような状態において、分離トランジスタ16を導通状態にして、カップリング容量15のリセット制御線12に接続された端子電極側をリセット制御線12と同じ0Vに充電する。続いて、非選択行の接続制御トランジスタ14を非導通状態とする。これによ

り、非選択行のリセット制御線12は垂直走査回路11から切り離されて、カッピング容量15によりドレイン線7と容量結合される。

【0021】次に、従来と同様にして注入排出動作を行う。まず、選択行の転送トランジスタ2を導通状態とし、リセットトランジスタ3を導通状態とし、統いてドレイン線7を0Vにする。これにより、選択行のセルのフォトダイオード1にドレイン線7からロウレベルまで電子を注入する。この時に、非選択行のリセット制御線12の電位、すなわちリセットトランジスタ3のゲート電位はカッピング容量15により負の値となる。具体的には、ドレイン線7の電位変化が2.5Vで、リセット制御線12とカッピング容量15の容量比から非選択行のリセットトランジスタ3のゲート電位は-0.5V程度となる。これにより、リセットトランジスタ3のしきい値が0Vであっても、リセットトランジスタ3のリーク電流は1pA程度となり、ドレイン線7から非選択行の検出ノード4にリークする電流は無視することができる。一方、非選択行のリセット制御線12が従来のように0Vである場合には、ドレイン線7から非選択行の検出ノード4にリークする電流は0.1μA程度となり、とても無視できる値ではなく、前述したような不具合が生じることになる。

【0022】次に、ドレイン線7をハイレベルに駆動して、選択行のフォトトランジスタ1に注入された電子をドレイン線7に排出する。統いて、リセットトランジスタ3を非導通状態とし、転送トランジスタ2を非導通状態とする。次に、非選択行の接続制御トランジスタ14を導通状態とし、非選択行のリセット制御線12が垂直走査回路11と接続される。統いて、非選択行の分離トランジスタ16を非導通状態にして、リセット制御線12とドレイン線7との容量結合が解除され、選択行の注入排出動作が終了する。

【0023】このように、この実施形態では、リセットトランジスタ3のしきい値を0.0Vにできるので、2.5V程度の電源電圧で昇圧回路を使用することなく装置を動作させることができが可能となる。ちなみに、垂直信号線8に読み出される信号は、電源電圧を5V以上とした場合と同等の700mV程度の振幅の飽和信号量を得ることができる。この結果、上記実施形態においては、昇圧回路を使用することなく検出ノード4の電位低下が抑えられ、動作マージンが広がり、低電源電圧動作が可能となる。

【0024】なお、上記実施形態において、リセット制御線12を例えば-0.5V程度の負電位に振り込む場合に、接続制御トランジスタ14及び分離トランジスタ16をPチャネル型トランジスタで構成すると、リセット制御線12からウェル（又は基板）への電子のリークによってリセット制御線電位が変動することがなくなるため、有利である。なお、この場合、リセット制御線電

圧が電源電圧まで充電できるように、接続制御トランジスタ14及び分離トランジスタ16の駆動回路としては、ダイナミック型回路を用いるのが好ましい。

【0025】また、接続制御トランジスタ14及び分離トランジスタ16をNチャネル型トランジスタで構成する場合は、そこのPウェルをNウェル中（又はN_{sub}中）に構成し、他と分離して負の電位をかけると有利である。

【0026】さらに、上記実施形態において、上述した作用効果を得るために、トランジスタ16を省いてもよい。また、カッピング容量15はそれぞれのリセット制御線12に対応して個別に設けられているが、複数又は全てのリセット制御線12に共通に設けるようにしてもよい。さらに、カッピング容量15に接続されるドレイン線7はセルのドレイン線7とは別のドレイン線7を設けているが、別のドレイン線7を設けることなくいずれかのセルのドレイン線7を用いるようにしてもよい。

【0027】

【発明の効果】以上説明したように、この発明によれば、選択行のセルのリセット時に非選択行のリセット制御線をドレイン線の電位よりも低い電位に設定するようにしたので、昇圧回路を使用することなく検出ノードの電位の低下を抑えることが可能となり、動作マージンを広げて低電源電圧動作を達成することができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施形態に係る固体撮像装置の構成を示す図である。

【図2】図1に示す装置の動作タイミングを示す図である。

【図3】従来の固体撮像装置の構成を示す図である。

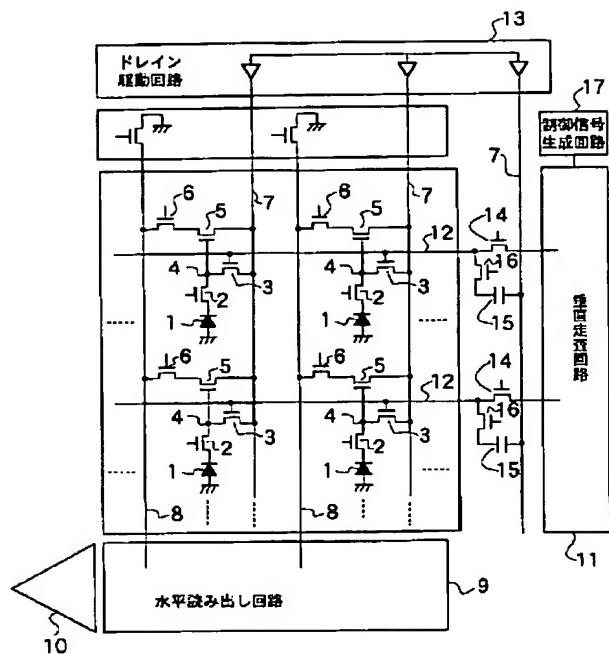
【図4】図3に示す装置の動作タイミングを示す図である。

【符号の説明】

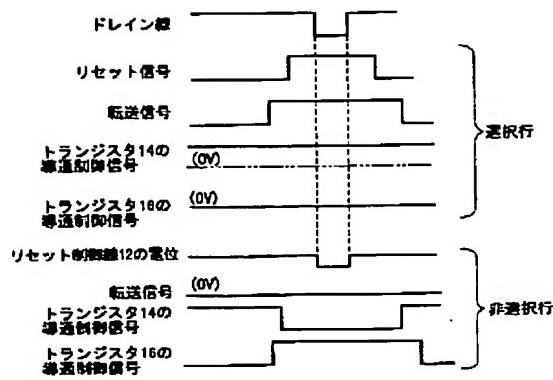
- 1 フォトダイオード
- 2 転送トランジスタ
- 3 リセットトランジスタ
- 4 検出ノード
- 5 増幅トランジスタ
- 6 選択トランジスタ
- 7 ドレイン線
- 8 垂直信号線
- 9 水平読み出し回路
- 10 出力アンプ
- 11 垂直走査回路
- 12 リセット制御線
- 13 ドレイン駆動回路
- 14 接続制御トランジスタ
- 15 カッピング容量
- 16 分離トランジスタ

17 制御信号生成回路

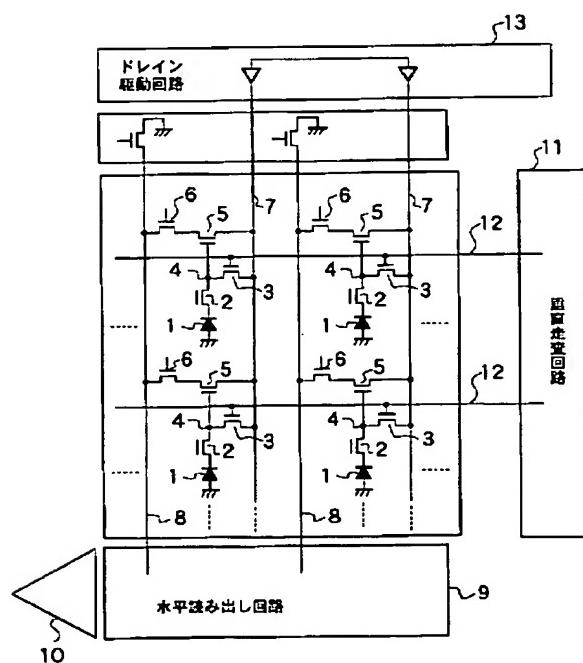
【図1】



【図2】



【図3】



【図4】

